

靜電放電概論

第五部分—器件之敏感度及測試

© 2014，靜電放電協會，紐約州羅馬市

本系列第二部份（*ESD 控制原則及 ESD 控制方案建立*）指出，靜電控制方案之所以能成功，關鍵因素是確認這些項目（元件、組件和成品）是否屬靜電放電敏感物體（ESDS）；若是，則需確認其敏感度為何。ESDS 對 ESD 事件的敏感度，是依其放電能量消散或分流的能力，或其耐流及耐壓程度來認定。雖然能量或（尖峰）電流是極重要的參數，但 ESD 敏感度通常是以耐壓來分類。耐壓則依放電電壓而定，不是依 ESDS 的測量電壓。我們在第二部分中提到：

確立廠區的靜電控制目標。目前使用的靜電放電敏感物體（ESDS）中，哪種對 ESD 最敏感？製造或運送中產品的耐壓等級為何？若想知道相關規定，最好先瞭解廠房各種設備對人體模型（HBM）和帶電器件模型（CDM）的敏感度。*ANSI/ESD S20.20* 中有 HBM 100 伏特敏感物體控制方案的相關規定。

自動化設備中的某些器件可能更易發生放電損害，其他器件則傾向因人員處理而導致損害。在第五部分中，我們將介紹各種模型和測試流程，並依特性及定義將各種組件的 ESD 敏感度分級。這些測試流程主要是針對兩種 ESD 事件模式：人體模型（HBM）和帶電器件模型（CDM）。這些模型用於執行組件測試，無法含括所有可能的 ESD 事件，且現場和測試系統間的放電並無直接相關性。雖然如此，這些模型已成功證實可仿造 99% 以上的 ESD 現場故障特性；而且，相較於真實世界事件中相同的放電電壓，這些模型在測試系統中的耐壓通常預設為最壞情況。配合標準化的測試流程，產業可以：

- 開發並量測合宜的晶片上保護裝置。
- 進行器件之間的比較。
- 作為靜電放電敏感度的分級系統，以協助進行 ESD 設計和監測，並符合製造和裝配環境要求的條件。
- 應備妥測試流程說明書，確保成果的可靠度及重複性。

人體模型表現（HBM）測試

靜電放電損害最常見的原因是，人體或帶電材料將靜電荷直接移轉至靜電放電敏感物體（ESDS）上。在地板上行走時，身體便開始累積靜電荷。手指輕觸（或靠近）ESDS 或組件的導電引線時，身體便會放電，且可能使器件受損。這種放電模式稱為「人體模型」（HBM）。

在各種 ESD 器件敏感度分級模型中，人體模型是最早也最普遍使用的。HBM 測試模型是指當個體站立時，其指尖的放電傳遞至器件上。該模型通過一個開關元件，以高歐姆電阻器（通常為兆歐級）將 100 pF 電容器充電後，在待測器件和與之相串聯的一個 1,500

歐姆電阻器上放電，器件最後接地或到達低電位。十九世紀時，這種模型是用來調查礦坑中的氣體混合物爆炸事件。軍方採用了這種模型（**軍用標準 MIL-STD-883 方法第 3015 號**），另在 **ANSI/ESDA-JEDEC JS-001：靜電放電敏感度測試** 一人體模型中亦引用。本份文件取代之前的 ESDA 和 JEDEC 方法（分別為 **STM5.1-2007** 和 **JESD22-A114F**）。簡易版的人體放電模型電路圖（測試系統無寄生效應）詳圖 1。

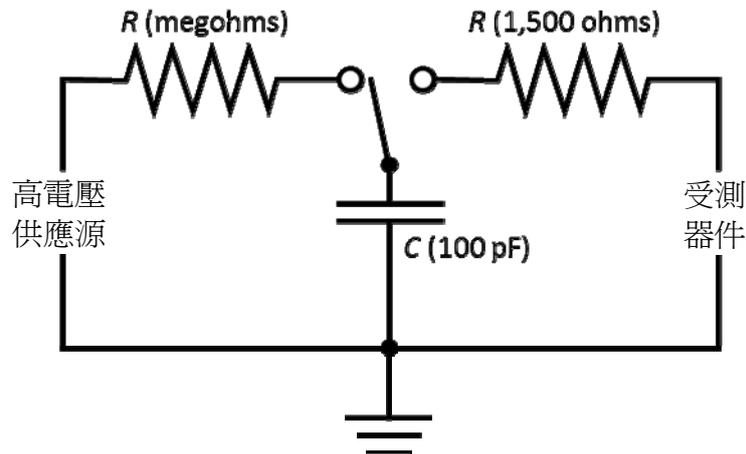


Figure 1: Typical (simplified) Human Body Model Circuit

典型的 HBM 波形有 2 至 10 奈秒的上升時間、0.67 安培／千伏特的電流，及 200 奈秒脈衝寬度的雙重指數信號衰減波形。典型情況下，HBM 的脈波能量是導致故障的決定性參數。

人體模型（HBM）ESD 敏感度的測試通常採用自動化測試系統進行。測試系統中的器件經繼電器矩陣進行接點，一腳位接觸 HBM 網絡（稱「ZAP 腳位」），其餘觸片連接測試器的接地面（稱「腳位接地」）。隨著今天的高腳位數器件，我們不可能針對所有可能的應力組合進行完整的測試，因此必須選擇保證有足夠涵蓋範圍的腳位組合，才能進行弱應力組合檢測。這些必須加壓的組合可在目前的 HBM 標準中有規定。在人體模型網路中產生的波形會發生靜電放電（ESD）。器件在參數上和功能上的測試結果若不符合數據表的各項參數，就可認定是故障的。

必須說清楚的是，**JS-001** 的人體模型提到「**問題處理**」。知名的 **IEC 61,000-4-2** 有時也稱為「人體放電模型」，但該模型是針對一個系統中不同操作條件下發生的各種 ESD 事件，故僅適用於**該系統而已**。**IEC 61,000-4-2** 和 **JS-001** 的波形和嚴謹度無法互比。**JS-001** 對於處理問題才是有意義的。

帶電器件模型（CDM）測試

電荷從 ESDS 移轉至低電位的導電表面也是一種 ESD 事件。例如，某個器件經組件送料器脫出時即可能帶電。若該器件接著碰觸插裝頭或另一低電位的導電性金屬表面，可能會快速放電至該金屬表面。這種放電事件稱為「帶電器件模型」（CDM），對某些設備來說，可導致比 HBM 更嚴重的損害。雖然放電的持續時間非常短—通常低於 1 奈秒—

尖峰電流可達到幾十安培，使器件內的電壓明顯下降，最後導致電介質（如柵極氧化物）因電壓過大而故障。

器件的 CDM 測試標準 (*ESD STM5.3.1：靜電放電敏感度測試—帶電器件模型* 以及 *JEDEC 標準 JESD22-C101：微電子元件的靜電放電耐受臨界值—電場感應帶電器件模型 測試方法*) 原分別發表於 1999 年和 2000 年。測試流程包括將器件至於電場板，其導電引線朝上，充電，然後將器件放電。所有腳位都在帶正電及負電後放電。圖 2 顯示典型的 CDM 測試電路，器件可直接充電。CDM 5.3.1 ESDA 文件的最後版本是 2009 年。*JEDEC/ANSI/ESDA* 的聯合 CDM 標準 (*JS-002-2014*) 將於近期公布。

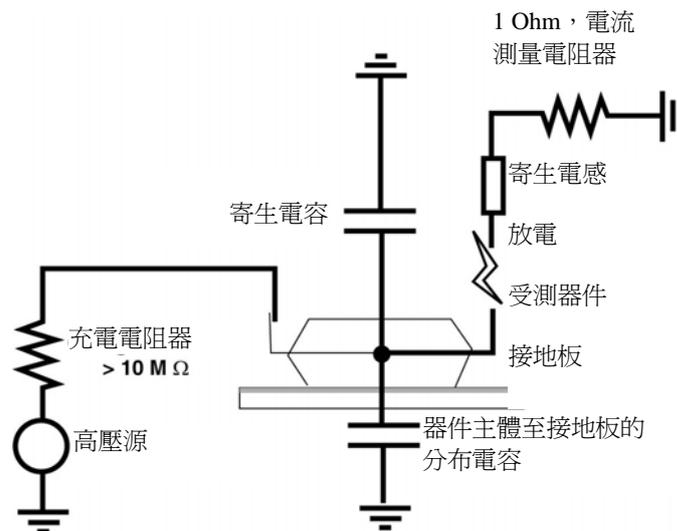


圖 2：典型帶電器件模型

其他測試方法

機器模型 (MM) 測試

帶電的導電物體也會發生放電，如金屬工具或自動化設備、夾具等。「機器模型」源於日本，最初是爲了嘗試建立 HBM 事件的最壞情況。這個 ESD 模型是一個 200 pF 電容直接對元件放電，輸出電路中沒有直流串聯電阻。放電波形可以振盪，上升時間和脈衝寬度與 HBM 類似。機器模型通常會有與人體模型同樣的物理性故障模式，但在明顯較低的水平。

使用靜電放電協會標準 (*ESD S5.2 靜電放電敏感度測試—機器模型*) 進行器件的機器模型敏感度測試，其測試流程與 HBM 類似。基本測試設備和應力組合是相同的，測試頭則不同。MM 的版本沒有 1,500 歐姆的電阻器，但其他如測試板和插座等，通常會跟 HBM 的一樣。圖 2 的串聯電感塑造振盪機器模型波形的主導寄生元件。串聯電感是以各種波形參數，如尖峰電流、上升時間，以及波形週期等規範來間接定義。但這並不是很好的定義方式。因此，對於不同的測試器，MM 的耐受電壓可能會不同。至少有一個因子是在 2-5 之間，儘管兩種測試系統均符合現行標準。測試結果不具重複性，而 HBM 的

良好重複性則可針對相同的故障模式，故 HBM 是業界今天鮮少採用 MM 的主因。JEDEC 和 ESDA 不推薦以機器模型來做產品的合格認證，而建議以 HBM 和 CDM 取代。然而，ANSI/ESDA MM 5.2 文件的最後版本是 2013 年，基於前述「白皮書」中的爭議論點，測試流程因而重新分級，從「標準」到「標準測試方法」。積體電路（ICs）的機器模型測試應限制於不具耐受電壓和電場充電相關性的故障分析。

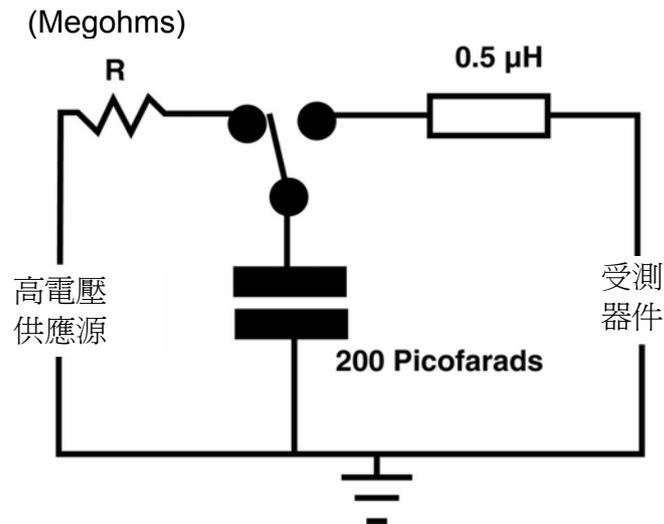


圖3：典型機器模型電路

嵌入式器件模型 (SDM) 測試

這種模型原是用於測試 CDM 的一種有效方法。器件經嵌入插座後，以高電壓源充電，然後通過繼電器接地放電。惟這種方式無法保證和 CDM 標準的相關性，且對 SDM 測試器的特有設計依賴性也過大。何況，現今也找不到商用的 SDM 測試系統。標準作業（SP）SDM-5.3.2 於 2002 年初版，2013 年再版。可參考靜電放電協會的技術報告 ESD TR5.3.2（原 TR08-00）插座式器件模型 (SDM) 測試儀中有關 SDM 優劣的討論。

器件敏感度分級

HBM 和 CDM 測試方法中包含分級系統，用來界定元件對特定模型的敏感度（見表 1 和表 2）。分級有許多優點，它可根據元件的 ESD 敏感度予以簡單分組和比較，也可作為元件 ESD 保護等級的指標。

表 1：ANSI/ESDA/JEDEC JS-001 之表 3—HBM ESD 元件等級

分級	電壓範圍(V)
0A	< 125
0B	125 to < 250
1A	250 to < 500
1B	500 to < 1,000
1C	1,000 to < 2000
2	2000 to < 4000

3A	4000 to < 8000
3B	≥ 8000

表 2：ANSI/ESDA/JEDEC JS-002 之表 3—CDM ESD 元件等級

分類	電壓範圍(V)
C0A	< 125
C0B	125 to < 250
C1	250 to < 500
C2A	500 to <750
C2B	750 to < 1,000
C3	≥ 1,000

目前的 HBM 和標準將等級 0 分成兩個耐受電壓位準，其中等級 0A 的敏感度小於 125 伏特，而等級 0B 從 125 伏特到小於 250 伏特。

若處理等級 0A 物體（即低於 125 伏特），須提高方案能力。基本上，為良好控制環境，以減少 0A 等級 ESD 損害發生的可能性，必須提高 ESD 防護的重複性，作法是加入 EPA ESD 控制物體；為確保它們正常運作，須增加這些 ESD 控制物體認證檢驗頻率，甚至採用更嚴格的限制條件。

元件應同時用人體模型（HBM）和帶電器件模型（CDM）進行分級。這樣可提醒潛在元件使用者控制環境，不論組裝和製造是由人員或是自動化機械來操作。

惟須注意，這些分級系統和元件敏感度測試結果只能作為一般指標，並不是絕對的。測試數據所模擬界定的事件，只能產生狹窄有限的資料，須認真考量及謹慎使用。這兩種 ESD 模型代表的是歸類 ESD 損害時的不同觀點。資料點本身是具參考價值的，但將數據任意用於真實世界場景可能會有誤導性。這些數據在比較不同器件時具有實用性，並可作為一個起步點，讓您在此開始建立您的 ESD 控制方案。

摘要

為免遭受 ESD 影響，器件故障模型和器件測試等方法設定了電子設備和組件的靜電放電敏感度。這個關鍵資訊可讓您設計出更有效的 ESD 控制方案。但，設備還是有可能變越來越敏感。靜電放電協會的白皮書「**靜電放電技術準則—2010 年 4 月修訂**」（*Electrostatic Discharge (ESD) Technology Roadmap – Revised April 2010*）中提及：「電子器件從 2010 到 2015 年間及以後，敏感度將會越來越高，各公司應立即監測各種製程的防靜電能力。」廠房的 ESD 控制會是一個越來越吃重的角色，因為在工業中 HBM（人體模型）和 CDM（帶電器件模型）敏感的產品設計已經氾濫。人員操作的 ESD 敏感器件之人員接地系統，其人體電壓必須低於 100 伏特。

進一步參考資訊：

- ANSI/ESDA/JEDEC JS-001 *Electrostatic Discharge Sensitivity Testing – Human Body Model* (靜電放電敏感度測試－人體模型), ESD Association, Rome, NY.
- ESD STM5.2-2009: *Electrostatic Discharge Sensitivity Testing – Machine Model* (靜電放電敏感度測試－機器模型), ESD Association, Rome, NY.
- ESD STM5.3.1-2009: *Electrostatic Discharge Sensitivity Testing – Charged Device Model* (靜電放電敏感度測試－帶電器件模型), ESD Association, Rome, NY.
- ANSI/ESDA/JEDEC JS-002 *Electrostatic Discharge Sensitivity Testing – Charged Device Model* (靜電放電敏感度測試 - 帶電器件模型), ESD Association, Rome, NY.
- ESD TR 5.3.2-2013 (formerly TR08-00): *Socket Device Model (SDM) Tester* (嵌入式器件模型 (SDM) 測試儀), ESD Association, Rome, NY.
- ESD Industry Council White Paper 1: “A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements (降低組件級 ESD CDM 規格及要求之案例),” August 2008, and ESD Association’s White Paper “*Electrostatic Discharge (ESD) Technology Roadmap* (靜電放電技術準則) – Revised April 2010” <http://www.esda.org/IndustryCouncil.html>.
- ESD Industry Council White Paper 2: “A Case for Lowering Component Level CDM ESD Specifications and Requirements (降低組件級 ESD CDM 規格及要求之案例),” March 2009, <http://www.esda.org/IndustryCouncil.html>.
- “Process ESD Capability Measurements (進行 ESD 能力測量),” Steinman, Arnold, EOS/ESD Symposium Proceedings, 2012, p. 211, ESD Association, Rome, NY.
- “Is there a Correlation Between ESD Qualification Values and the Voltages Measured in the Field? (ESD 合格值和電場量測電壓間是否存在相關性?),” Gaertner, Reinhold and Stadler, Wolfgang, EOS/ESD Symposium Proceedings, 2012, p. 198, ESD Association, Rome, NY.
- “A Closer Look at the Human ESD Event (人體 ESD 事件深論),” Hyatt, Hugh, et al, EOS/ESD Symposium Proceedings, 1981, ESD Association, Rome, NY.
- “Charged Device Model Testing: Trying to Duplicate Reality (帶電器件模型測試：實況複製),” Avery, L.R., EOS/ESD Symposium Proceedings, 1987, ESD Association, Rome, NY.
- “Critical Issues Regarding ESD Sensitivity Classification Testing (ESD 敏感度分級測試之關鍵課題),” Pierce, Donald C., EOS/ESD Symposium Proceedings, 1987, ESD Association, Rome, NY.
- “Beyond MIL HBM Testing - How to Evaluate the Real Capability of Protection Structures (如何評估防護架構的實力－除了 MIL HBM 測試之外),” Avery, L.R., EOS/ESD Symposium Proceedings, 1991, ESD Association, Rome, NY.

- “Mechanisms of Charged-Device Electrostatic Discharges (帶電器件模型的靜電放電機制),” Renninger, Robert G., *EOS/ESD Symposium Proceedings, 1991*, ESD Association, Rome, NY.
- “Analysis of HBM ESD Testers and Specifications Using a 4th Order Lumped Element Model (使用第四階集總電路分析HBM ESD測試儀和規格值),” Verhaege, Koen, et al, *EOS/ESD Symposium Proceedings, 1993*, ESD Association, Rome, NY.
- “A Comparison of Electrostatic Discharge Models and Failure Signatures for CMOS Integrated Circuit Devices (CMOS積體電路裝置的靜電放電模型和故障特性比較),” Kelly, M., et al, *EOS/ESD Symposium Proceedings, 1995*, ESD Association, Rome, NY.
- “Study of ESD Evaluation Methods for Charged Device Model (ESD帶電器件模型評估方法之研究),” Wada, Tetsuaki, *EOS/ESD Symposium Proceedings, 1995*, ESD Association, Rome, NY.
- “A Compact Model for the Grounded-Gate nMOS Behavior Under CDM ESD Stress (在CDM ESD應力下，接地柵NMOS行為的緊湊模型),” Russ, Christian, et al, *EOS/ESD Symposium Proceedings, 1996*, ESD Association, Rome, NY.
- “Recommendations to Further Improvements of HBM ESD Component Level Test Specifications (提升HBM ESD組件級測試規格之建議),” Verhaege, Koen, et al, *EOS/ESD Symposium Proceedings, 1996*, ESD Association, Rome, NY.
- “Very Fast Transmission Line Pulsing of Integrated Structures and the Charged Device Model (集成結構的極速傳輸線脈衝與帶電器件模型),” Gieser, H., and Haunschild, M., *EOS/ESD Symposium Proceedings, 1996*, ESD Association, Rome, NY.
- “Investigation into Socketed CDM (SDM) Tester Parasitics (調查嵌入式CDM (SDM) 測試儀寄生效應),” Chaine, M., et al, *EOS/ESD Symposium Proceedings, 1998*, ESD Association, Rome, NY.
- “Issues Concerning CDM ESD Verification Modules-The Need to Move to Alumina (CDM ESD驗證模組之課題—移轉至氧化鋁極品之需要),” Henry, L.G., et al, *EOS/ESD Symposium Proceedings, 1999*, ESD Association, Rome, NY.
- “The Importance of Standardizing CDM ESD Test Head Parameters to Obtain Data Correlation (瞭解標準化CDM ESD測試頭參數的重要以求數據相關性),” Henry, L.G., et al, *EOS/ESD Symposium Proceedings, 2000*, ESD Association, Rome, NY.
- “Component Level ESD Testing (組件級ESD測試),” Review Paper, Verhaege, Koen, *Microelectronics Reliability Journal*, 1998.